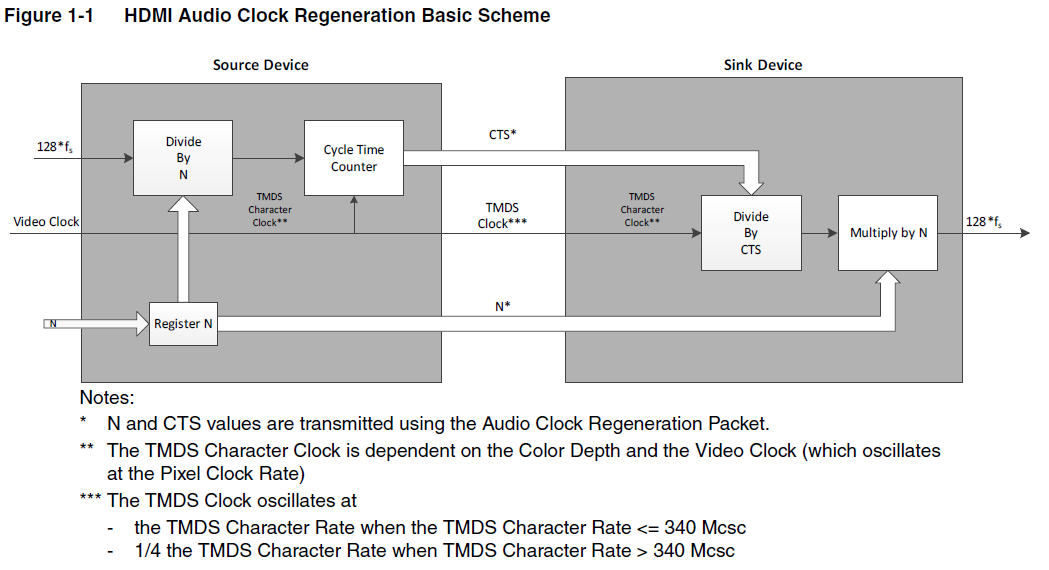
**HDMI audio pll**



我们的IP是SINK端，PLL需要根据CTS，N，TMDS CLOCK得到audio clock

Sirius 用的是HDMI1.4的Controller， 所以TMDS clock 不会大于340M



PLL必须的端口：

时钟域

ocfg\_audpll\_mux\_cts : 20bit input icfgclk

ocfg\_audpll\_mux\_n : 20bit input icfgclk

iaud\_pll\_lock : output iaudclk

iaudclk: output

itmdsclk: 25M ~ 340M input

iaudclk 需要得到的频率范围在 4.096Mhz ~ 24.576M ，准确率+－1000PPM

如果需要寄存器的话可以提供， 寄存器在icfgclk这个时钟域